



特許願(22)

(正)

⑯ 日本国特許庁

公開特許公報

特許庁長官印

昭和 50. 6月13日

発明の名称

ガタゲンカイコウケン半導体装置
絶縁ゲート電界効果半導体装置

発明者

東京都渋谷区北五丁目33番1号
日本電気株式会社
本社正典

同所 イノウエヤスカズ

井上泰一

特許出願人

東京都港区芝五丁目33番1号
(423) 日本電気株式会社

代表者 小林宏治

代理人

〒108 東京都港区芝五丁目33番1号
日本電気株式会社内(6591) 井理士 内原 (著者)
電話 東京 (03) 454-1111 (大代表)

特許の目録

特許

50. 6. 14

出願登録

明細書
図面
要約
請求範囲
特許請求書副本

50 071767

明細書

発明の名称

絶縁ゲート型電界効果半導体装置

特許請求の範囲

絶縁ゲート型電界効果半導体装置のトランジスタのドレイン又はソースに半導体基板と同一導電型でかつ基体より不純物濃度の高い領域と基板と反対導電型の領域との間に形成されたアーバン部を有する絶縁ゲート電界効果型ゲートコントロールドバイオードよりなる保護装置を接続したことを特徴とする絶縁ゲート電界効果型半導体装置。

発明の詳細な説明

この発明は絶縁ゲート型電界効果半導体装置の新しい構造を有する保護装置に関する。

一般にMOS電界効果型トランジスタに於いてゲートとソース端子を接続した状態でドレインに電圧を印加した場合、この電圧がMOSトランジスタのドレイン絶縁領域と基体間のゲート電圧により前倒された表面ブレーキゲート耐圧を超えたある値に達するとMOSトランジスタは破壊して

⑯特開昭 51-147972

⑯公開日 昭51. (1976)12. 18

⑯特願昭 50-71767

⑯出願日 昭50. (1975) 6. 13

審査請求 未請求 (全4頁)

府内整理番号 6416 5V

6416 57

7457 57

6416 57

⑯日本分類

PPH1E3

PPH1G0

PPH1H0

PPH1A01Y

⑯Int.Cl?

H01L 2P/78

H01L 2P/90

H01L 2P/94

H03F 1/00

しまうという現象が存在する。この現象は基本的にはMOSチャンネルMOSトランジスタでもMOSチャンネルMOSトランジスタでも存在するが、特にMOSチャンネルの場合に著しい。またゲート絶縁膜が薄く(たとえば1000オングストローム以下)になるに従つてこの現象は著しい。

一方、MOS型半導体装置やMOS型集積回路装置に於いて出力端子は、出力トランジスタのドレイン(又はソース)から外部電極引き出し用のボンディングパッドへ取り出されている。従つてこれら装置で出力トランジスタ"OFF"の状態では、出力端子に高電圧が印加された場合出力トランジスタは先に説明した破壊現象に晒されてしまう。この為、MOS型半導体装置や集積回路装置では、装置の製造段階や装置完成後の取り扱いの際、出力端子にかかる電荷や、装置動作中に出力端子にかかるサージ電圧の為、装置が破壊してしまうという不整合がしばしば発生する。またこの破壊現象は出力トランジスタばかりでなく増幅器内の特定トランジスタやアドレス・ラッチ回路の

トランジスタ等においてもしばしば生ずる。これらはMOS型半導体装置や集積回路装置の取り扱いを面倒にしているのみならず、装置自体の製造歩留りや信頼性を損なう大きな要因の一つとなつてゐる。

この発明の目的は、MOS型半導体装置や集積回路装置に於ける上記の如き不都合を取り除く為の新しい構造を有する保護装置を提供することにある。

本発明の保護装置は被保護MOSトランジスタのドレイン(又はソース)に接続されたMOSゲートコントロールドバイオードより成り、かつこのMOSゲートコントロールドバイオードのアーバ組合は半導体基体と同一導電部でかつ基体より不純物濃度の高い領域と、基体と対反導電部の領域との接合により形成された構造を有する。被保護MOSトランジスタが出力トランジスタの場合には本発明の出力保護装置を出力トランジスタのドレイン(又はソース)と外部電極引出用のポンディングパッドとの間に挿入するのが好ましい。

- 3 -

タグダウン等性をリチヤンニル型の場合を例にとつて、第1図、第2図に示す。第1図は基体の不純物濃度(D_A)が $1 \times 10^{15}/\text{cm}^3$ の場合の接合耐圧(V_{BR})とゲート電圧(V_G)との関係を 810_{μ} 膜厚(t_{ox})をパラメータに示す。この時の基体電圧(V_{BS})は-5Vである。第2図は、 $t_{ox} = 10000\text{Å}$ 、 $V_G = 0\text{V}$ 、 $V_{BS} = -5\text{V}$ の時の接合耐圧 V_B の基体不純物濃度 D_A 依存性を示す。これら第1図、第2図からも明らかに様に、例えば $D_A = 1 \times 10^{15}/\text{cm}^3$ のアモルシコン半導体基体上に作製されたゲート 810_{μ} 膜厚 $t_{ox} = 10000\text{Å}$ を有するリチヤンニルMOS型半導体装置に、同一基体上の $1 \times 10^{15}/\text{cm}^3$ のアモルシコン領域に形成された $t_{ox} = 10000\text{Å}$ を有する本発明のゲートコントロールドバイオード保護装置を適用することにより、以下の如き効果が得られる。

即ち第2図で、被保護トランジスタが"OFF"の状態ではこのトランジスタのドレイン(又はソース)のブレーカダウン電圧はA点 $V_B = 25\text{V}$ に対応し、一方保護用ゲートコントロールドバイオード

特開昭51-147972 (2)
既に公知の様に、MOS型半導体装置や集積回路装置ではMOSトランジスタのソース、ドレイン、拡散領域やチャネル領域として働く半導体基体表面の能動領域部分以外の基体表面に基体と同一導電部でかつ基体より不純物濃度の高い拡散又はイオン注入領域を設けることにより、フィールドの反転閾値電圧を上げ寄生MOS効果を防止するという工夫がしばしば施されている。この様な構造に於いてはゲートコントロールドバイオードのP-N接合と反転層防止用の高不純物濃度領域とMOSトランジスタのソース、ドレイン、向時に形成した反対導電部領域との間に設ければよいから工程を追加。変更することなく容易に実現できる。またシリコンゲートMOSトランジスタのようにゲート膜厚が 1000Å オングストローム以下のもとの破壊防止に本発明はとくに効果がある。

次に図面を参照しつつ本発明の原理および実施例を詳細に説明する。

一般にシリコン半導体基体上に作製されたゲートコントロールドバイオードのアーバ組合ブレー

- 4 -

ドのブレーカダウン電圧はB点 $V_B = 18\text{V}$ に対応する。従つて被保護トランジスタの耐圧と保護装置の耐圧とに2Vの差をつけることが可能であり又これら2種の耐圧はいづれもアーバ組合のゲート電極によつて制御された表面ブレーカダウンといふ同一構造を用いている為ブレーカダウンの時定数にも差はない。よつて本発明装置では、出力端子間にのるほんましくない電荷や電源サージ等による高電圧は保護装置によつて首尾よく遮断され、被保護トランジスタに伝わることはない。こうして本発明の保護装置を備えたMOS型半導体装置や集積回路装置ではトランジスタの被保護現象を防止できるので、其装置歩留りや信頼性の大巾な向上が達成される。

次に本発明の実施例につき第3図および第4図を参照しながら詳しく説明する。

第3図、第4図はそれぞれ本発明を適用したリチヤンニルMOS型半導体装置の出力部の出力部を示す回路図、断面構造図である。

第3図に示すように出力MOSトランジスタを1

のドレインに N 8 ゲートコントロールドダイオードより成る出力保護装置 D1 の一端を接続しその他端をなわちゲート端子は接地する。T1 のドレインと出力端子 Q1 との間に図示のようにインピーダンス素子 Z2 を接続しても差支えない。このような回路は、たとえば第 4 回に示すように比抵抗約 10 Ω/cm の P 型シリコン半導体基体 1 の一主平面に近接してリンを拡散して出力トランジスタ T1 のソース 2 、ドレイン 3 、保護ゲートコントロールドダイオード D1 の N 型拡散領域 4 となる N 型領域（その表面リン濃度は約 $10^{19}/cm^2$ である）を形成し、さらにゲートコントロールドダイオードの領域 4 と P 型接合を形成する表面濃度約 $10^{19}/cm^2$ の P 型拡散領域 5 をホロンを拡散して形成しくてこの P 型領域 5 はフィールド反転防止用としても機能する。出力トランジスタ T1 及び保護ゲートコントロールドダイオード D1 のゲート B10、基部 6 及び 6' をシリコン基体 1 の高熱熱処理法によつて膜厚約 1000 Å に形成し、フィールド B10、膜 7 を約 1 μ の厚さに熱処理法で

- 7 -

ド反転閾値電圧は 3.5 V、領域 2、3 と基体 1 間の P-N 接合のバルク耐圧は 6.0 V、領域 4 と 5 間の P-N 接合のバルク耐圧は 3.5 V であつた。この様な諸特性を有する本発明装置は、出力端子 Q1 のる好ましくない電荷や動作時に出力端子にかかるサージ電圧に対し優れた安定性を示し、出力トランジスタの破壊は生じなかつた。

なお、先に出版した特願昭 49-81471 号明細書に記載したように、ゲートコントロールドダイオードの耐圧はそのゲートに被保護 N 8 トランジスタのゲート印加電圧に対して逆偏圧の電圧を加えることによつても被保護 N 8 トランジスタの耐圧より低くすることができる。したがつて本実施例においてゲートコントロールドダイオード D1 のゲート 9 の電圧 1.5 V を接地する代りに、マイナス電源たとえば -5 V が印加されている基体 1 に接続すれば N 8 トランジスタ T1 との耐圧の差をいつそう大きくすることができる。とくにゲートコントロールドダイオードのゲートに上述のような逆偏圧の電圧を加えることも本

特開昭 51-147972 (3)
説けて形成する。また B1H₁ の熱分解により多結晶シリコン層 8、9 を形成してそれぞれ出力トランジスタ T1、保護ゲートコントロールドダイオード D1 のゲート電極とし、アルミニウム蒸着膜で出力トランジスタ T1 のソース 2 に接続する電極配線 10、出力トランジスタ T1 のゲート 8 に接続するゲート電極配線 11、出力トランジスタのドレイン 3 と保護ゲートコントロールドダイオードのゲート 9 に接続する共通電極配線 12、保護ゲートコントロールドダイオードのゲート 9 に接続する電極配線 13 をそれぞれ形成する。この例では出力トランジスタのソース 2 と保護ゲートコントロールドダイオードのゲート 9 は共に接地されている。この実施例の装置では基体 1 の電圧 -5 V の時、出力トランジスタ T1 のゲート 8 が GND の状態でドレイン 3 と基体 1 間の P-N 接合のブレーカダウン開始電圧 $V_{BD} = 2.5 V$ 、一方保護ゲートコントロールドダイオード D1 の領域 4 と 5 間の P-N 接合のブレーカダウン開始電圧は 1.8 V であつた。又フィール

- 8 -

発明は包含するものである。

上述の実施例は単に例示の為のものであり、本発明はこれに限定されるものではない。例えば上記実施例では P チャンネルシリコンゲート N 8 型半導体装置の場合につき説明したが、P チャンネル型、アルミゲート型 N 8 半導体装置。その他一般の絶縁ゲート型電界効果半導体装置にも同様に適用できる。又シリコン半導体基体や拡散領域の不純物濃度、各部の B10、膜厚や保護ゲートコントロールドダイオードのゲート電位等を変えることもできるし、更に装置各部の材料や製法の変更也可能である。また拡散によつて形成された領域の代りにイオン打込等によつて形成された領域を用いることもできる。このようにとの明細書の請求範囲に記載された如き。この発明の精神と範囲とを逸脱することなく種々の変更をなすことができる。

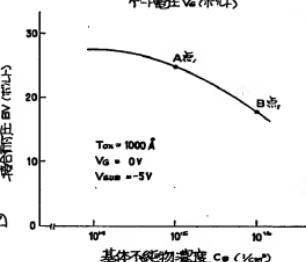
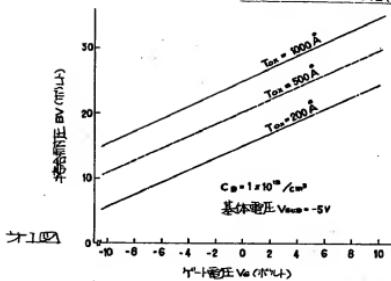
図面の簡単な説明

第 1 図はゲートコントロールドダイオードの整合耐圧とゲート電圧、第 2 図は接合耐圧と基体不

試作度とその関係をそれぞれ示す実験データ図である。第3図は本発明装置の実施例を示す回路図。第4図はその断面図である。

1…P型シリコン半導体基体、2…N型拡散領域、3…P型拡散領域、4…ゲート電極、5…P型拡散領域、6…ゲート電極、7…フィールド電極、8…9…トランジスタとゲートコントロールドバイオードの多結晶シリコンゲート電極、10…11…12…13…アルミニウム電極配線。

代理人 井端士内



-11-

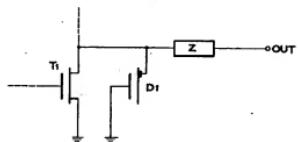


Figure 1-3

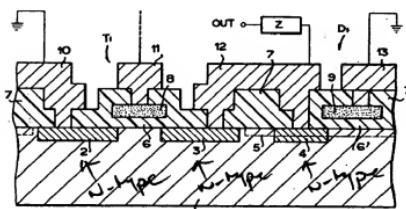


Figure 1-4

CLIPPEDIMAGE= JP351147972A

PAT-NO: JP351147972A

DOCUMENT-IDENTIFIER: JP 51147972 A

TITLE: INSULATED GATE FIELD EFFECT SEMICONDUCTOR DEVICE

PUBN-DATE: December 18, 1976

INVENTOR-INFORMATION:

NAME

KIKUCHI, MASANORI

INOUE, TAIICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP50071767

APPL-DATE: June 13, 1975

INT-CL (IPC): H01L029/78;H01L029/90 ;H01L027/04 ;H03F001/00

ABSTRACT:

PURPOSE: To prevent the surge voltage destruction in case of applying a high voltage on the output terminal by connecting a gate control diode to the drain or the source of MOSFET.

COPYRIGHT: (C)1976,JPO&Japio